

26 T#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: NAOAKI KOMIYA, ET AL. )  
SERIAL NO.: 09/671,843 ) Group Art Unit:  
FILED: September 27, 2000 ) Examiner:  
FOR: ACTIVE MATRIX TYPE )  
ELECTROLUMINESCENCE DISPLAY )  
DEVICE )



CLAIM FOR PRIORITY

The Assistant Commissioner for  
Patents and Trademarks  
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of the Japanese Patent Application No. Hei 11-277086 filed on September 29, 1999. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicants' hereby claim the benefit of the filing date of September 29, 1999 of the Japanese Patent Application No. Hei 11-277086, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

NAOAKI KOMIYA, ET AL.

CANTOR COLBURN LLP  
Applicants' Attorneys

By:

Juan C. Villar  
Registration No. 34,271  
Customer No. 23413

I HEREBY CERTIFY THAT THIS CORRESPONDENCE  
IS BEING DEPOSITED WITH THE UNITED STATES  
POSTAL SERVICE AS FIRST CLASS MAIL IN AN  
ENVELOPE ADDRESSED TO:  
ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D. C. 20231

ON November 16, 2000  
DATE OF DEPOSIT  
Jennite & Matson  
(TYPED OR PRINTED NAME OF PERSON MAILING PAPER OR FEE)  
Jennite & Matson 11/16/00  
SIGNATURE DATE

RECEIVED  
DEC 06 2000  
Technology Center 2600

Date: November 16, 2000



Translation of Priority Certificate

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: September 29, 1999

Application Number: Patent Application  
No. Hei 11-277086

Applicant(s): SANYO ELECTRIC CO., LTD.

September 18, 2000

Commissioner, Kozo OIKAWA  
Patent Office

RECEIVED  
DEC 06 2000  
Technology Center 2600

Priority Certificate No. 2000-3074878

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年 9月29日

出 願 番 号  
Application Number:

平成11年特許願第277086号

出 願 人  
Applicant(s):

三洋電機株式会社

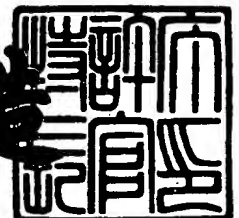
CERTIFIED COPY OF  
PRIORITY DOCUMENT

RECEIVED  
DEC 06 2000  
Technology Center 2600

2000年 9月18日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3074878

【書類名】 特許願

【整理番号】 KHB0991073

【提出日】 平成11年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H05B 33/26

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 古宮 直明

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 奥山 正博

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 近藤 定男

【代理人】

    【識別番号】 100109368

    【弁理士】

    【氏名又は名称】 稲村 悦男

    【連絡先】 03-3837-7751 法務・知的財産部 東京事務  
所

【選任した代理人】

    【識別番号】 100111383

    【弁理士】

    【氏名又は名称】 芝野 正雅

【手数料の表示】

    【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリックス型 E L 表示装置

【特許請求の範囲】

【請求項 1】 行及び列にマトリックス配置された複数の表示画素と、各行に配列された複数の表示画素に共通に接続されたゲート信号線と、前記ゲート信号線に選択信号を順次供給するゲート駆動回路とを有し、

前記各々の表示画素は、E L 素子と、ドレインに表示信号が印加され前記選択信号に応じてオンオフする第 1 の薄膜トランジスタと、前記表示信号に基づいて前記 E L 素子を駆動する第 2 の薄膜トランジスタと、

を含み、

前記ゲート駆動回路は、前記各ゲート信号線に前記選択信号を該ゲート信号線の両端から供給するように配置されたことを特徴とするアクティブマトリックス型 E L 表示装置。

【請求項 2】 前記ゲート駆動回路は、前記複数の表示画素から成る表示領域に対して左右対称に配置された第 1 及び第 2 のゲート駆動回路から成り、該第 1 及び第 2 のゲート駆動回路は、1 水平走査期間のパルス幅を有する基準クロックを順次シフトする複数のシフトレジスタと、該シフトレジスタの出力に基づいて前記ゲート信号線を駆動するバッファとを含むことを特徴とする請求項 1 に記載のアクティブマトリックス型 E L 表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、エレクトロルミネッセンス素子（以下、E L 素子）及び薄膜トランジスタを含む表示画素をマトリックス状に配置したアクティブマトリックス型 E L 表示装置に関するものであり、特に、各表示画素に共通に接続されるゲート信号線の選択信号の遅延を防止することにより、各表示画素を安定した輝度で発光させる技術に関する。

【0 0 0 2】

【従来の技術】

E L 素子は、自発光素子であるため液晶表示装置に必要なバックライトを必要とせず、視野角にも制限がない等の多くの利点があることから、次世代の表示装置への応用が期待されている。

【0003】

E L 素子の駆動方式としては、単純マトリックス型（パッシブ型とも呼ばれる）と、薄膜トランジスタをスイッチング素子として用いたアクティブマトリックス型がある。アクティブマトリックス型は、単純マトリックス型のようにカラム電極とロー電極間のクロストークがなく、しかも、E L 素子は低電流密度で駆動され、高発光効率が期待される。

【0004】

図3は、アクティブマトリックス型E L 表示装置の概略を示す回路図である。図において、表示画素GS1,GS2,GS3…が一行に配列されている。1つの表示画素GS1は、有機E L 素子11と、ドレインに表示信号Data1が印加され、選択信号scanに応じてオンオフするスイッチング素子としての第1の薄膜トランジスタ12（Nチャネル型トランジスタ）と、この第1の薄膜トランジスタ12のオン時に供給される表示信号Data1によって充電され、オフ時に保持電圧Vhを保持する保持容量13と、ドレイン駆動電源電圧Vddに接続され、ソースが有機E L 素子11の陽極に接続されると共にゲートに保持容量12からの保持電圧Vhが供給されることにより有機E L を駆動する第2の薄膜トランジスタ14（Pチャネル型トランジスタ）とによって構成されている。

【0005】

他の表示画素GS2,GS3…についても同様の構成である。なお、表示画素は列方向にも配列されているが図面では簡単のため省略されている。15は、選択信号scanを供給するために、各表示画素GS1,GS2,GS3に共通接続されたゲート信号線である。16は、このゲート信号線に選択信号scanを供給するゲート駆動回路である。

【0006】

ここで、選択信号scanは、選択された1水平走査期間（1H）中、Hレベルになり、この信号に基づいて第1の薄膜トランジスタ12がオンする。すると、表

示信号Data1が保持容量13の一端に供給され、表示信号Data1に応じた電圧Vhが保持容量13に充電される。この電圧Vhは、選択信号scanがLレベルになって第1の薄膜トランジスタ12がオフしても、1垂直走査期間（1V）の期間、保持容量13に保持される。そして、この電圧が第2の薄膜トランジスタ14のゲートに供給されているので、電圧Vhに応じて第2の薄膜トランジスタ14が導通し、有機EL素子11が発光する。

【0007】

【発明が解決しようとする課題】

ところで、上記のゲート信号線15は、耐熱性や加工性を考慮してガラス基板上に蒸着されたクロムによって形成される。ゲート信号線15は各表示画素GS1, GS2, GS3…に共通接続するために表示領域上を延在されるために、抵抗及び浮遊容量を伴う。例えば、画素数220×848のアクティブマトリックス型EL表示装置においては、1本のゲート信号線15の有する抵抗値は約320Ωであり、浮遊容量は約20pFである。かかる抵抗及び浮遊容量は、画素数の増加に伴って増加する。

【0008】

このため、選択信号scanに基づいて、ゲート信号線15にHレベルの選択信号scanを供給する際に、ゲート駆動回路16から離れたゲート信号線15の末端では信号伝達遅延のためにHレベルに十分立ち上げることが困難であった。そして、末端部の表示画素においては、表示信号Dataの信号レベルが保持容量13に確実に伝達されず、有機EL素子の発光輝度が低下するなど、表示装置全体として見ると輝度が不安定になるという問題があった。

【0009】

そこで、本発明は、各表示画素に共通に接続されるゲート信号線の選択信号scanの遅延を極力防止することにより、各表示画素が安定した輝度で発光するようにしたアクティブマトリックス型EL表示装置を提供することを目的としている。

【0010】

【課題を解決するための手段】



本発明のアクティブマトリックス型 E L 表示装置は、行及び列にマトリックス配置された複数の表示画素と、各行に配列された複数の表示画素に共通に接続されたゲート信号線と、前記ゲート信号線に選択信号を順次供給するゲート駆動回路とを有し、

前記各々の表示画素は、E L 素子と、ドレインに表示信号が印加され前記選択信号に応じてオンオフする第 1 の薄膜トランジスタと、前記表示信号に基づいて前記 E L 素子を駆動する第 2 の薄膜トランジスタと、を含み、

前記ゲート駆動回路は、前記各ゲート信号線に前記選択信号を該ゲート信号線の両端から供給するように配置されたことを特徴としている。

#### 【 0 0 1 1 】

かかる構成によれば、前記各ゲート信号線の両端から駆動するようにゲート駆動回路を配置したので、従来例に比してゲート信号線に選択信号を高速に供給することができ、各表示画素を安定した輝度で発光させることが可能になる。

#### 【 0 0 1 2 】

#### 【発明の実施の形態】

本発明の実施形態に係るアクティブマトリックス型 E L 表示装置について、図 1 及び図 2 を参照しながら説明する。

#### 【 0 0 1 3 】

図 1 は、アクティブマトリックス型 E L 表示装置の概略構成を示す回路図である。表示画素 GS11, GS12, GS13…は、行及び列に配列されマトリックスを構成している。各表示画素の構成は、有機 E L 素子 1 と、ドレインに表示信号 Data j が印加され、ゲート信号線 G L1 から供給される選択信号に応じてオンオフする第 1 の薄膜トランジスタ 2 と、保持容量 3 と、表示信号 Data j に基づいて E L 素子 1 を駆動する第 2 の薄膜トランジスタ 4 とから構成されている。保持容量 3 の一端は共通電極に接続され一定の電圧 Vsc にバイアスされる。

#### 【 0 0 1 4 】

図 1 は、フルカラー E L 表示装置を示しており、赤 (R)、緑 (G)、青 (B) の各色に発光する有機 E L 素子を有する 3 種類の表示画素を交互に配列している。すなわち、赤色発光する有機 E L 素子を有する表示画素 GS11, GS21, GS31…に

は、共通駆動電圧電源RPVddが供給され、緑色発光するE L素子を有する表示画素GS12,GS22,GS32…には、共通駆動電圧電源GPVddが供給され、青色発光するE L素子を有する表示画素GS13,GS23,GS33…には、共通駆動電圧電源BPVddが供給されている。モノカラーE L表示装置については、1種類の表示画素を行及び列に配置することによって構成することができる。

## 【0015】

第1列に配列された表示画素GS11,GS21,GS31には表示信号Data1が印加され、第2列に配列された表示画素GS12,GS22,GS32には表示信号Data2が印加され、第3列に配列された表示画素GS13,GS23,GS33には表示信号Data3が印加されている。

。

第4列以降も同様である。

## 【0016】

また、第1行に配列された表示画素GS11,GS12,GS13…には、共通のゲート信号線GL1が接続され、第2行に配列された表示画素GS21,GS22,GS23…には、共通のゲート信号線GL2が接続され、第3行に配列された表示画素GS31,GS32,GS33…には、共通のゲート信号線GL3が接続されている。第4行以降も同様である。

。

## 【0017】

そして、本発明の特徴とする点は、ゲート信号線GL1、GL2、GL3…にそれらの両端から選択信号scanを供給するように、一对のゲート駆動回路5、6を設けたことである。ゲート駆動回路5、6は、表示領域に対して左右対称に配置されている。

ゲート信号線GL1、GL2、GL3…は、例えば848個の表示画素に共通に接続され、蒸着された線幅4 $\mu$ 程度のクロム薄膜によって形成されているため、大きな抵抗値及び浮遊容量値を有する。本発明によれば、ゲート信号線GL1、GL2、GL3を伝達する選択信号scanの遅延を極力小さくすることができ、表示画素のE L素子の発光強度を均一にすることができる。

## 【0018】

図2は、ゲート駆動回路5、6の構成を具体的に示す回路図である。外部から

基準クロックCVKが供給され、この基準クロックCVKを1水平走査期間(1H)ずつ順次シフトするシフトレジスタSR1~SR220がシリアルに接続されている。各シフトレジスタの出力である選択信号scanはバッファ7を介して、各ゲート信号線GL1~GL220に伝達される。

#### 【0019】

すなわち、選択信号scanは、1水平走査期間(1H)のパルス幅を有し、各シフトレジスタSR1~SR220によってシフトされ、順次各ゲート信号線GL1~GL220に出力される。本実施形態に係るアクティブマトリックス型EL表示装置では画素数 $220 \times 848$ である。そこで、220個のシフトレジスタを備えているが、画素数に応じて、シフトレジスタ及びバッファの数は適宜、増減することができる。

#### 【0020】

上記のアクティブマトリックス型EL表示装置の駆動方法を簡単に説明すると、選択信号scanによってゲート信号線GL1が選択されると、第1行の表示画素GS11,GS21,GS31...が選択される。このとき、ゲート信号線GL1は、両端から駆動されるので、高速にHレベルに立ち上がる。

#### 【0021】

そして、この1水平走査期間(1H)に、各データ線GL1, GL2, GL3...から表示信号Data1,Data2,Data3...が各表示画素GS11,GS21,GS31...に点順次に供給される。ここで、表示信号Data1,Data2,Data3...は、図示しないサンプリング回路によって保持された後、各表示信号端子ごとに設けられたトラスファークゲートを介して信号出力のタイミングが制御されている。そして、各表示画素GS11,GS21,GS31...内のEL素子1はその表示信号Data1,Data2,Data3に応じた輝度で安定して発光する。同様にして、次の選択信号scanによってゲート信号線GL2が選択され、以下は同様の動作が1垂直走査期間(1V)繰り返される。

#### 【0022】

#### 【発明の効果】

以上説明したように、本発明によれば、各表示画素に共通に接続されるゲート信号線の選択信号の遅延を極力防止することにより、各表示画素が安定した輝度

で発光するようにしたアクティブマトリックス型 E L 表示装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態に係るアクティブ型 E L 表示装置を示す図である

【図 2】 本発明の実施形態に係るゲート駆動回路を示す回路図である。

【図 3】 従来例に係るアクティブ型 E L 表示装置を示す図である

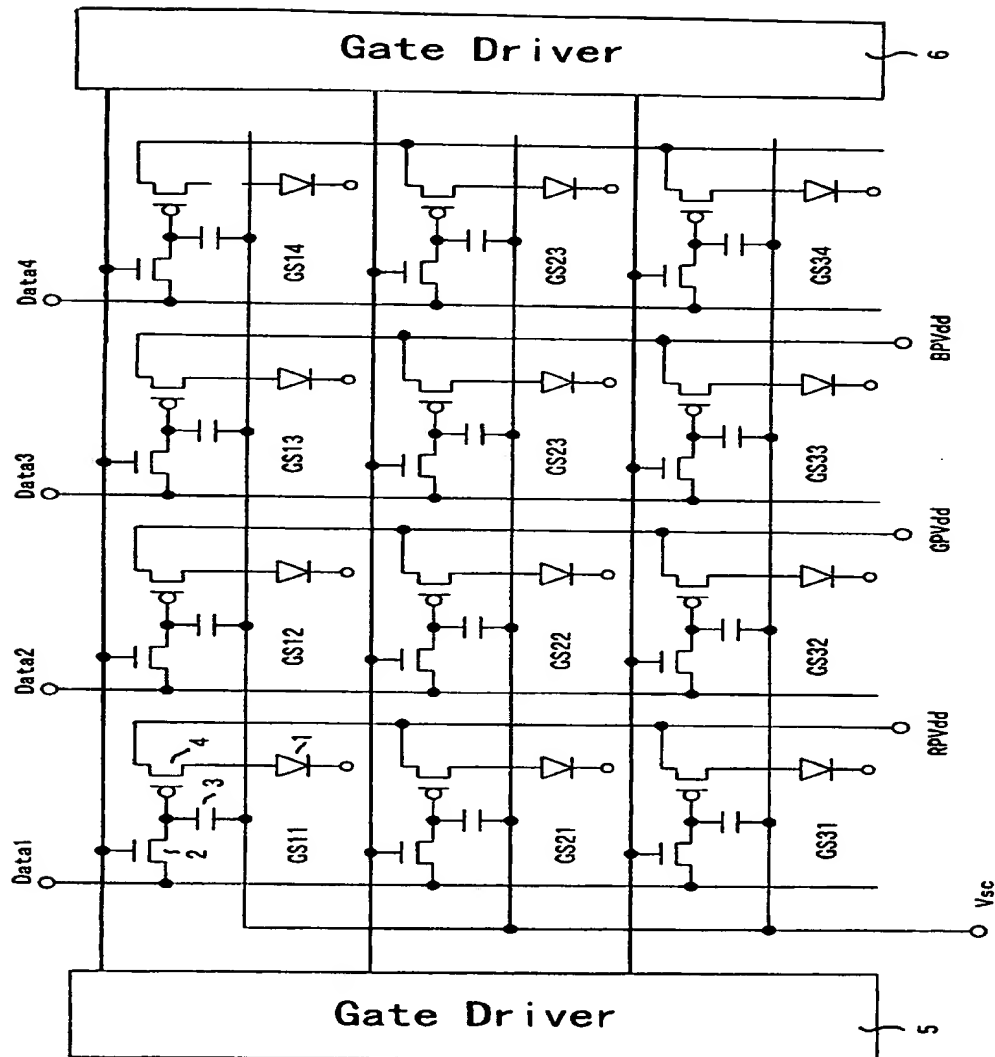
【符号の説明】

- 1       有機 E L 素子
- 2       第 1 の薄膜トランジスタ
- 3       保持容量
- 4       第 2 の薄膜トランジスタ
- 5、6   ゲート駆動回路

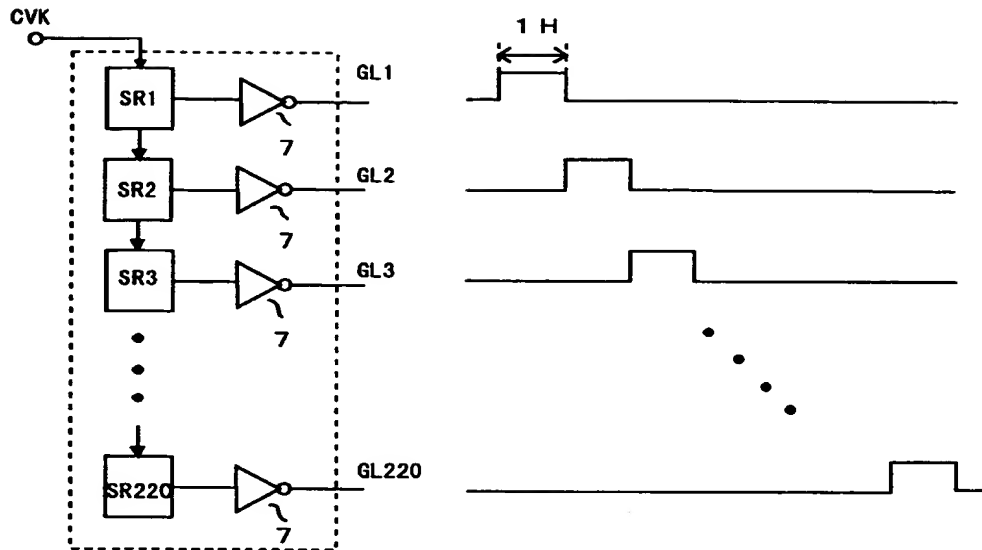
【書類名】

図面

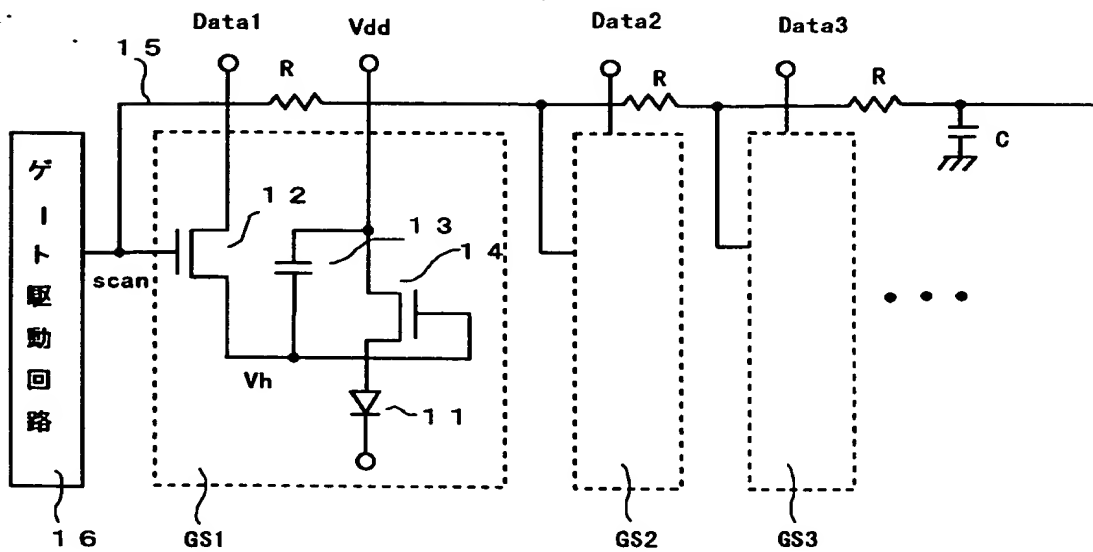
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 各表示画素が安定した輝度で発光するようにしたアクティブマトリックス型 E L 表示装置を提供する。

【解決手段】 行及び列にマトリックス配置された複数の表示画素 GS11, GS12, GS13 … と、各行に配列された複数の表示画素に共通に接続されたゲート信号線 GL1, GL2, GL3 … と、ゲート信号線 GL1, GL2, GL3 … に選択信号 scan を順次供給するゲート駆動回路 5, 6 とを有し、各々の表示画素は、E L 素子 1 と、ドレインに表示信号 Data が印加され選択信号 scan に応じてオンオフする第 1 の薄膜トランジスタ 2 と、表示信号 Data に基づいて E L 素子 1 を駆動する第 2 の薄膜トランジスタ 4 と、を含み、ゲート駆動回路 5, 6 は、各ゲート信号線 GL1, GL2, GL3 … をその両端から駆動するように配置されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号  
氏 名 三洋電機株式会社